

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04245334 A

(43) Date of publication of application: 01.09.92

(51) Int. Cl. G06F 9/38

(21) Application number: 03010557

(22) Date of filing: 31.01.91

(71) Applicant: HITACHI LTD HITACHI MICOM
SYST:KK

(72) Inventor: FUSHIDA AKIHIRO
MATSUBARA KENJI

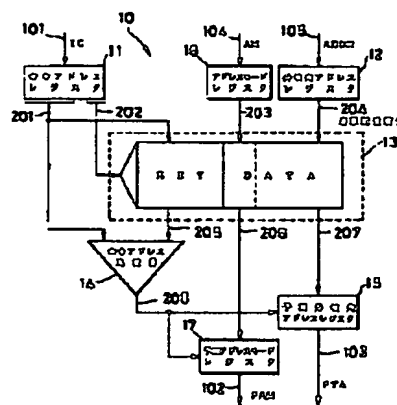
(54) INSTRUCTION PREREADING CONTROL
SYSTEM FOR INFORMATION PROCESSOR

(57) Abstract:

PURPOSE: To prevent the instruction in an erroneous branching destination address from being read owing to the switching of an addressing mode when an instruction is read by a predicted branching destination address.

CONSTITUTION: The information processor is equipped with an associative memory for a branching instruction and prereads instructions, and the system consists of the associative memory (branching destination associative memory) 10 for storing branching destination information on the branching instruction, an instruction unit 20 which prereads and decodes the instruction, an arithmetic unit 40 which executes the instruction, and a main memory 50 housing the instruction and data. In this case, an address mode register 16 and a predictive address mode register 17 are added to the associative memory 10 of conventional constitution and address modes are stored in a pair with the instruction address and branching destination address of the branching instruction.

COPYRIGHT: (C)1992,JPO&Japio



JP-A-4-245334

[What is claimed is:]

[Claim 1] An instruction target read control system for use with an information processing apparatus, comprising:

branch target association memory storing an address of a branch instruction and a branch target address of the branch instruction; and

an address mode switch unit switching an address mode which is an address space width, wherein

said branch target association memory stores a set of the branch target address and an address mode corresponding to the branch target address; and

when an instruction is preread, the branch target address and the address mode are read from the branch target association memory, and a branch target instruction is read at the branch target address corresponding to the address mode.

[0014]

[Operation] In the instruction preread control system for use with the information processing apparatus, a branch target address and an address mode corresponding to the branch target address are read from the branch target association memory, and then a branch target instruction is read. Therefore, the address mode when the branch target address is generated can be referenced when an instruction is preread at a predicted branch target address even when the address space width is switched before executing a branch instruction.

[0015] Thus, it can be avoided that an instruction is preread in a wrong address space by switching an address mode, thereby preventing the process performance from being reduced by erroneously reading a predicted branch target instruction.

[0019] An association memory 10 comprises, for example, as shown in FIG. 2, an instruction address register 11, a branch target address register 12, an association storage device 13, an instruction address comparator 14, and a predicted branch target address register 15. In addition to the above described conventional configuration, an address mode register 16 and a predicted address mode register 17 are added as the feature of the present invention so that an address mode is added to the conventional instruction address and branch target address of a branch instruction. The instruction address is stored in the KEY portion of the association storage device 13, and the branch target address and the address mode are stored in the DATA portion.

[0020] The instruction address register 11 receives an instruction preread address or a branch instruction address for a writing process from an instruction unit 20 through a signal line 101 of the IC (instruction count), and transmits the address to the association storage device 13 through signal lines 201 and 202.

[0021] The branch target address register 12 is a register for receiving a branch target address for a process of writing to the association storage device 13, receives a branch target address from the instruction unit 20 through a signal line 106 of the ADDR (address), and transmits the branch target address to the association storage device 13 through a signal line 204.

[0022] The association storage device 13 stores an instruction address transmitted from the instruction address register 11 through a signal line 201 in the KEY portion, stores a branch target address transmitted from the branch target address register 12 through the signal line 204 and the address mode information transmitted from the address mode register 16 through a signal line 203 in the DATA portion with a part of the instruction address transmitted from the instruction address register 11 through a signal line 202 as an index address, and transmits a predicted branch instruction address to the instruction address comparator 14 through a signal line 205; a predicted branch target address to the predicted branch target address register 15 through a signal line 207; and predicted address mode information to the predicted address mode register 17 through a signal line 206.

[0023] The instruction address comparator 14 compares the instruction address transmitted from the instruction address register 11 through the signal line 201 with the predicted branch instruction address read from the association storage device 13 through the signal line 205, and the obtained result is transmitted to the predicted branch target address register 15 and the predicted address mode register 17 through a signal line 208.

[0024] When the instruction address comparator 14 reports the matching result of an instruction address by the instruction address comparator 14 through the signal line 208, the predicted branch target address register 15 receives a predicted branch target address read from the association storage device 13, and transmits the address to the instruction unit 20 through a signal line 103 of the PTA (predict target address).

[0025] The address mode register 16 is a register for receiving address mode information for a writing process to the association storage device 13, receives address mode information from the instruction unit 20 through a signal line 104 of the AM (address

mode), and transmits the address mode information to the association storage device 13 through the signal line 203.

[0026] When the instruction address comparator 14 reports a matching result of a part of the instruction address through the signal line 208, the predicted address mode register 17 receives the predicted address mode information read from the association storage device 13, and transmits the information to the instruction unit 20 through a signal line 102 of the PAM (predict address mode).

FIG.2

instruction address comparator 14

predicted branch target address register 15

predicted address mode register 17

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平4-245334

(43)公開日 平成4年(1992)9月1日

(51)InLCl⁵

G 0 6 F 9/38

識別記号

庁内整理番号

F I

技術表示箇所

3 3 0 A 8725-5B

F 8725-5B

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平3-10557

(22)出願日 平成3年(1991)1月31日

(71)出願人 00005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72)発明者 伏田 晃弘

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(72)発明者 松原 健二

神奈川県秦野市堀山下1番地 株式会社日

立製作所神奈川工場内

(74)代理人 弁理士 筒井 大和

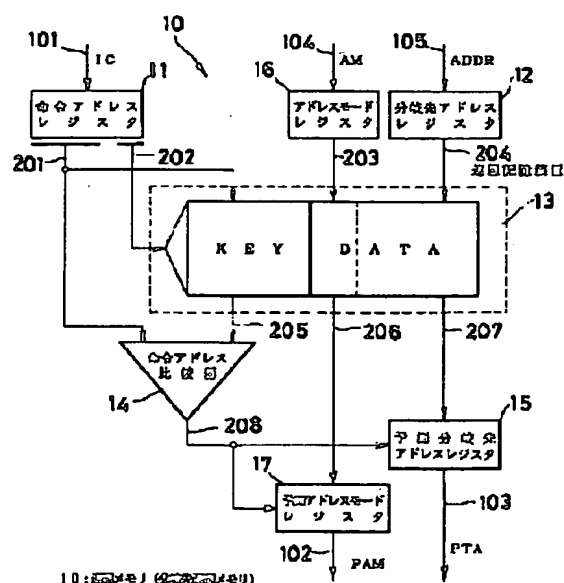
(54)【発明の名称】 情報処理装置の命令先読み制御方式

(57)【要約】

【目的】 予測による分岐先アドレスにより命令読み出しを行う際、アドレスモードの切換による誤った分岐先アドレスの命令読み出しを防止する。

【構成】 分岐命令に対する連想メモリを備え、命令の先読みを行う情報処理装置であって、分岐命令の分岐先情報を記憶する連想メモリ(分岐先連想メモリ)10と、命令の先読み・解読を行う命令ユニット20と、命令を実行する演算ユニット40と、命令およびデータを格納する主メモリ50とから構成され、連想メモリ10が、従来の構成に加えてアドレスモードレジスタ16および予測アドレスモードレジスタ17が追加され、分岐命令の命令アドレスおよび分岐先アドレスにアドレスモードが対して記憶されるものである。

図 2



【特許請求の範囲】

【請求項1】 分岐命令のアドレスおよび該分岐命令の分岐先アドレスとを記憶する分岐先連想メモリと、アドレス空間幅であるアドレスモードの切換を行うアドレスモード切換手段とを備えた情報処理装置の命令先読み制御方式であって、前記分岐先連想メモリに前記分岐先アドレスと該分岐先アドレスに対応するアドレスモードとを対にして記憶し、命令先読みを行う場合に、前記分岐先連想メモリから前記分岐先アドレスおよび前記アドレスモードを読み出し、前記アドレスモードに対応した前記分岐先アドレスにより分岐先命令の読み出しを行うことを特徴とする情報処理装置の命令先読み制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、分岐先連想メモリ（以下、単に連想メモリという）を備えた情報処理装置の命令先読み制御方式に関し、特にアドレスモードの切換を行う分岐命令において、アドレスモードの誤った切換による分岐先命令の読み出し防止が可能とされる情報処理装置の命令先読み制御方式に適用して有効な技術に関する。

【0002】

【従来の技術】 従来、連想メモリを備えた情報処理装置としては、たとえば特開昭59-177653号公報などに記載されるように、分岐命令のアドレスと、この分岐命令の分岐先アドレスとを対にして連想メモリに記憶し、命令先読みアドレスとこの連想メモリに登録された分岐命令アドレスとが一致することにより、連想メモリに登録された分岐先アドレスに分岐するものとして制御されるものがある。

【0003】 たとえば、連想メモリが図4に示すように、命令先読みアドレスまたは分岐命令アドレスを格納する命令アドレスレジスタ1と、分岐先アドレスを格納する分岐先アドレスレジスタ2と、命令アドレスおよび分岐先アドレスをそれぞれKEY部とDATA部に保持し、予測分岐命令アドレスおよび予測分岐先アドレスを送出する連想記憶装置3と、命令アドレスと予測分岐命令アドレスとを比較する命令アドレス比較器4と、命令アドレスの一致が報告された時に予測分岐先アドレスを格納する予測分岐先アドレスレジスタ5とから構成され、予測分岐先アドレスレジスタ5のアドレスを用いて分岐先命令の先読みを実行するようになっている。

【0004】

【発明が解決しようとする課題】 ところが、前記のような従来技術においては、連想メモリにアドレスモードが記憶されていないため、アドレスモードが切り換えられた場合に分岐先アドレスを誤ってしまい、このために正しいアドレスによる命令の先読みをやり直さなければならないという問題がある。

【0005】 その一例として、アドレスモードにより2

4ビットのアドレス空間と、31ビットのアドレス空間とを切り換える場合について図5により説明する。この場合に、アドレスモードの値が“0”を示すときは、24ビットのアドレス空間（“00000000”番地～“00FFFFFF”番地の空間幅）、アドレスモードの値が“1”を示すときは、31ビットのアドレス空間（“00000000”番地～“7FFFFFFF”番地の空間幅）に切り換えられるものとする。

【0006】 たとえば、アドレスモード＝“0”のときは、“00FFFFFF”番地の次番地である“00000000”番地にラップアラウンドされ、アドレスモード＝“1”のときは、“00FFFFFF”番地の次番地は“01000000”番地となり、“7FFFFFFF”番地の次番地である“00000000”番地にラップアラウンドされる。

【0007】 この時、連想メモリの予測による分岐先アドレスが“00FFFFFF”番地であったとすると、従来技術ではアドレスモードについての考慮がされていないため、“00FFFFFF”番地の命令bの次に先読みされる命令が“01000000”番地の命令cか、または“00000000”番地の命令aかの判定ができない。

【0008】 仮に、先読みを行う時点のアドレスモードの値（“0”とする）を用い、命令bの次に“00000000”番地の命令aが読み出されたとすると、先読みの時点から先読みアドレスを予測された分岐命令が処理されるまでの間に、アドレスモードが“1”に切り換えられていたならば、予測による先読みのアドレスは誤っていたことになり、正しいアドレスの“01000000”番地により命令cの読み出しをやり直さなければならない。

【0009】 従って、従来の命令先読み方式においては、アドレスモードが切り換えられた場合に、再読み出しにより処理性能が低下するという問題がある。

【0010】 そこで、本発明の目的は、予測による分岐先アドレスにより命令読み出しを行う際、アドレスモードの切換による誤った分岐先アドレスの命令読み出しをなくすることができる情報処理装置の命令先読み制御方式を提供することにある。

【0011】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0013】 すなわち、本発明の情報処理装置の命令先読み制御方式は、分岐命令のアドレスおよび該分岐命令の分岐先アドレスとを記憶する分岐先連想メモリと、アドレス空間幅であるアドレスモードの切換を行うアドレスモード切換手段とを備えた情報処理装置の命令先読み制御方式であって、前記分岐先連想メモリに前記分岐先アドレスとこの分岐先アドレスに対応するアドレスモー

3

ドとを対にして記憶し、命令先読みを行う場合に、前記分岐先遡想メモリから前記分岐先アドレスおよび前記アドレスモードを読み出し、前記アドレスモードに対応した前記分岐先アドレスにより分岐先命令の読み出しを行うものである。

【0014】

【作用】前記した情報処理装置の命令先読み制御方式によれば、命令先読みを行う場合に、分岐先遡想メモリから分岐先アドレスと、この分岐先アドレスに対応するアドレスモードとを読み出して分岐先命令の読み出しを行うことにより、分岐命令の実行前にアドレス空間側の切換が行われた場合でも、予測分岐先アドレスで命令の先読みを行う際に、その分岐先アドレス生成時のアドレスモードを参照することができる。

【0015】これにより、アドレスモードの切換による誤ったアドレス空間での命令の先読みをなくすことができ、予測分岐先命令の読み出し誤りによる処理性能の低下を防止することができる。

【0016】

【実施例】図1は本発明の情報処理装置の命令先読み制御方式の一実施例である情報処理装置を示す全体構成図、図2は本実施例の情報処理装置における遡想メモリを示す構成図、図3は本実施例の情報処理装置における命令ユニットを示す構成図である。

【0017】まず、図1により本実施例の情報処理装置の構成を説明する。

【0018】本実施例の情報処理装置は、たとえば分岐命令に対する遡想メモリを備え、命令の先読みを行う情報処理装置とされ、分岐命令の分岐先情報を記憶する遡想メモリ（分岐先遡想メモリ）10と、命令の先読み・30 解説を行う命令ユニット20と、命令を実行する演算ユニット40と、命令およびデータを格納する主メモリ50とから構成され、主に信号線101～106によって信号の伝送が行われる。

【0019】遡想メモリ10は、たとえば図2に示すように、命令アドレスレジスタ11、分岐先アドレスレジスタ12、遡想記憶装置13、命令アドレス比較器14および予測分岐先アドレスレジスタ15の従来の構成に加えて、さらに本発明の特徴であるアドレスモードレジスタ16および予測アドレスモードレジスタ17が追加され、従来の分岐命令の命令アドレスおよび分岐先アドレスに、アドレスモードを追加した情報を記憶するものである。そして、命令アドレスは遡想記憶装置13のKEY部に記憶され、分岐先アドレスおよびアドレスモードはDATA部に記憶される。

【0020】命令アドレスレジスタ11は、命令ユニット20よりIC（Instruction Count）の信号線101を介して命令先読みアドレス、または書き込み時の分岐命令アドレスを受け、信号線201、202を介してそのアドレスを遡想記憶装置13に送出する。

4

【0021】分岐先アドレスレジスタ12は、遡想記憶装置13に書き込み時の分岐先アドレスを受けるレジスタであり、命令ユニット20よりADDR（Address）の信号線105を介して分岐先アドレスを受け、信号線204を介して分岐先アドレスを遡想記憶装置13に送出する。

【0022】遡想記憶装置13は、命令アドレスレジスタ11より信号線202を介して送出される命令アドレスの一部を索引アドレスとして、命令アドレスレジスタ11より信号線201を介して送出される命令アドレス、分岐先アドレスレジスタ12より信号線204を介して送出される分岐先アドレス、およびアドレスモードレジスタ16より信号線203を介して送出されるアドレスモード情報をそれぞれKEY部とDATA部に保持し、信号線205を介して予測分岐命令アドレスを命令アドレス比較器14に、信号線207を介して予測分岐先アドレスを予測分岐先アドレスレジスタ15に、および信号線206を介して予測アドレスモード情報を予測アドレスモードレジスタ17に送出する。

【0023】命令アドレス比較器14は、命令アドレスレジスタ11より信号線201を介して送出される命令アドレスと、遡想記憶装置13より信号線205を介して読み出された予測分岐命令アドレスとを比較し、その結果を信号線208を介して予測分岐先アドレスレジスタ15および予測アドレスモードレジスタ17に送出する。

【0024】予測分岐先アドレスレジスタ15は、信号線208を介して命令アドレス比較器14による命令アドレスの一致が報告されると、遡想記憶装置13より読み出された予測分岐先アドレスを受け、PTA（Predict Target Address）の信号線103を介して命令ユニット20に送出する。

【0025】アドレスモードレジスタ16は、遡想記憶装置13に書き込み時のアドレスモード情報を受けるレジスタであり、命令ユニット20よりAM（Address Mode）の信号線104を介してアドレスモード情報を受け、信号線203を介してアドレスモード情報を遡想記憶装置13に送出する。

【0026】予測アドレスモードレジスタ17は、信号線208を介して命令アドレス比較器14による命令アドレスの一致が報告されると、遡想記憶装置13より読み出された予測アドレスモード情報を受け、PAM（Predict Address Mode）の信号線102を介して命令ユニット20に送出する。

【0027】命令ユニット20は、たとえば図3に示すように、先読みした命令列を一時格納する命令バッファレジスタ21、22、命令語を切り出すアライナ23、命令語の命令アドレスを記憶する命令カウンタ24、命令語を記憶する命令レジスタ25、命令アドレスに4を加える加算器26、命令語を解説する解説器27、アド

レスを計算するアドレス計算器28、アドレスをアドレスモード情報によりアドレッシングするアドレッシング回路29、アドレスモードとアドレスをそれぞれ対にして比較する比較器30、予測分岐先アドレスを予測アドレスモード情報によりアドレッシングするアドレッシング回路31、および2つのアドレスから一方をセレクトするアドレスセレクト回路32に加えて、本発明の特徴であるアドレス空間の大きさを決定するアドレスモード設定レジスタ（アドレスモード切換手段）33が追加された構成となっている。

【0028】そして、命令バッファレジスタ21、22には、主メモリ50からのI DATA（Instruction Data）の信号線106が入力されており、主メモリ50から命令列が伝送されてくるとその命令列を格納する。この場合に、命令バッファレジスタ21、22の2つがあるが、通常は片方のたとえば命令バッファレジスタ21が使用されており、分岐命令が出現するとその分岐先の命令列が他方の命令バッファレジスタ22に格納され、それ以降の命令列は次の分岐命令が出現するまで命令バッファレジスタ22に格納される。

【0029】さらに、命令レジスタ25の命令が解読されると、次の命令が命令バッファレジスタ21、22よりアライナ23を介して取り出され、新たに命令レジスタ25にセットされる。

【0030】また、命令カウンタ24には、現在命令レジスタ25にある命令語の命令アドレスが記憶されているので、その値に4（1命令語のバイト長に相当する）を加えた値が次の命令語の命令アドレスとなる。そして、アライナ23は、命令カウンタ24の値が出力される信号線305を用いて次の命令語を取り出す。この場合に、命令カウンタ24から出力されたアドレスは加算器26で+4づつ増加されて、命令レジスタ25に次の命令語が記憶されるときに命令カウンタ24に記憶され、同時にICの信号線101を介して連想メモリ10に出力される。

【0031】さらに、命令レジスタ5中の命令語の参照するアドレスはアドレス計算器28で生成され、信号線304を用いてアドレッシング回路29に送られ、アドレッシングされる。その後、アドレスセレクト回路32に送られ、ADDRの信号線105を介して連想メモリ10および主メモリ50に出力される。

【0032】一方、アドレスモード設定レジスタ33には、実行中の命令列の存在するアドレス空間幅を示す情報が常に格納されている。そして、このアドレスモード設定レジスタ33の内容が書き換えられると、アドレス空間の大きさの切換が起こり、AMの信号線104を介して連想メモリ10に出力される。

【0033】演算ユニット40は、従来と同様に構成とされ、命令ユニット20および主メモリ50に接続され、主メモリ50に格納されているデータを命令ユニッ

ト20の指示により読み出して命令を実行するものである。

【0034】主メモリ50は、従来と同様の構成とされ、命令ユニット20および演算ユニット40に接続され、命令およびデータを格納するものである。

【0035】次に、本実施例の作用について説明する。

【0036】本実施例の命令先読み制御方式は、大きく分けて前動作である予測読み出し動作と、本動作である本読み出しおよび予測アドレス照合動作との2つの動作によって実行される。

【0037】始めに、前動作の予測読み出し動作について説明する。

【0038】まず、命令ユニット20における命令の解読に先立って、連想記憶装置13を命令アドレスで探索する。この場合に、それを含む語が存在するときには、その語の中の分岐先アドレスとアドレスモード情報とをそれぞれPAM、PTAの信号線102、103を介して命令ユニット20に送る。

【0039】さらに、命令ユニット20では、その送られた分岐先アドレスをアドレスモード情報によりアドレッシングを行い、ADDRの信号線105を介して主メモリ50に送り、分岐先命令列の主メモリ50からの読み出しを行う。この場合に、分岐先命令列は、主メモリ50からI DATAの信号線106を介して命令ユニット20に入力される。

【0040】続いて、本動作である先読み出しおよび予測アドレス照合動作について説明する。

【0041】まず、命令ユニット20において分岐先命令が解読されると、その分岐先の命令語のアドレスを求め、アドレスモードによるアドレッシングを行いADDRの信号線105を介して主メモリ50へ送る。そして、分岐先命令列を主メモリ50からI DATAの信号線106を介して読み出す。

【0042】この場合に、本動作での分岐先命令列の読み出しは、本動作での分岐先命令アドレスおよびアドレスモード情報と、前動作での予測分岐先アドレスおよび予測アドレスモード情報とを比較し、比較が一致したときには行われない。また、比較が不一致のときには、本動作での分岐先命令列の読み出しが行われるとともに連想メモリ10の切換えを行う。

【0043】次に、予測読み出し動作を詳しく説明する。

【0044】まず、命令の先読みで主メモリ50から命令列を読み出す。この時、命令アドレスがICの信号線101を介して連想メモリ10に伝送される。そして、ICの信号線101上の値が命令アドレスレジスタ11に記憶され、その後命令アドレスレジスタ11に記憶されている命令アドレスの一致を、信号線202を介して連想記憶装置13へ送出する。

【0045】さらに、このアドレスで連想記憶装置13

を検索し、対応するKEY部に記憶された分岐命令のアドレスと、DATA部に記憶された分岐先アドレスおよびアドレスモード情報とを読み出す。そして、命令アドレスレジスタ11より信号線201を介して送出された命令アドレスと、KEY部より読み出された分岐命令のアドレスとを命令アドレス比較器14で比較し、一致した場合に分岐先の予測が成立する。

【0046】その後、予測が成立すると、DATA部より読み出された分岐先アドレスとアドレスモード情報とをそれぞれ予測分岐先アドレスレジスタ15、予測アドレスモードレジスタ17にセットし、PTAの信号線103とPAMの信号線102を介して命令ユニット20へ送出する。

【0047】さらに、命令ユニット20に入力された予測分岐先アドレスは、アドレッシング回路31で同時入力された予測アドレスモード情報によりアドレッシングされる。そして、アドレッシングされた予測分岐先アドレスは、信号線307を介してアドレスセレクト回路32でセレクトされ、ADDRの信号線105を介して主メモリ50に送られる。

【0048】その後、この予測分岐先アドレスを用いて主メモリ50からI DATAの信号線106を介して分岐先命令列が読み出され、命令ユニット20に入力される。

【0049】そして、命令ユニット20において、その分岐先命令列を空いている方の命令バッファレジスタ21または命令バッファレジスタ22に格納する。

【0050】続いて、本読み出しおよび予測アドレス照合動作を詳しく説明する。

【0051】この場合の本動作は、命令語が命令レジスタ25に記憶されて解釈されるときから開始され、始めに命令レジスタ25中の命令が分岐命令か否かが調べられる。そして、分岐命令であるときのみ以下の動作が行われる。

【0052】まず、アドレス計算器28を用いて分岐先アドレスを求め、その分岐先アドレスを信号線304を介してアドレッシング回路29に送出し、アドレスモード設定レジスタ33より信号線104を介して送出されたアドレスモード情報によりアドレッシングを行う。

【0053】そして、アドレッシングされた分岐先アドレスは、信号線306を介してアドレスセレクト回路32でセレクトされ、ADDRの信号線105を介して主メモリ50に送られる。その後、分岐先アドレスに対する分岐先命令列がI DATAの信号線106を介して命令ユニット20に伝送される。

【0054】この時、同時にアドレス計算器28で生成された分岐先アドレスと、アドレスモード設定レジスタ33の値とを対にしてそれぞれ信号線304、104を介して比較器30に送出し、PTAの信号線103を介した予測分岐先アドレスと、PAMの信号線102を介

した予測アドレスモード情報との値を対にしたものとの比較を行う。

【0055】その結果、等しくないときのみ、主メモリ50よりI DATAの信号線106を介して読み出した分岐先命令列を命令ユニット20の命令バッファレジスタ22に格納する。この時、前動作は無効化され、本動作の処理が実行される。

【0056】その後、命令アドレスレジスタ11、分岐先アドレスレジスタ12、アドレスモードレジスタ16の値が、信号線202を介して送出される命令アドレスの一部を索引アドレスとして、それぞれ信号線201、203、204を介して連想記憶装置13に書き込まれる。

【0057】一方、比較器30の結果が等しいときは、本動作の以降の動作は行われず、前動作の処理を続行する。

【0058】従って、本実施例の命令先読み制御方式によれば、分岐命令の実行前にアドレス空間幅の切替が行われた場合でも、予測分岐先アドレスで命令の先読みを行う際に、その分岐先アドレス生成時のアドレスモードを参照できるので、アドレスモードの切り換わりにより誤ったアドレス空間での命令の先読みをなくすることができる。

【0059】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0060】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0061】すなわち、分岐先連想メモリに分岐先アドレスとこの分岐先アドレスに対応するアドレスモードとを対にして記憶し、命令先読みを行う場合に、分岐先連想メモリから分岐先アドレスおよびアドレスモードを読み出し、アドレスモードに対応した分岐先アドレスにより分岐先命令の読み出しを行うことにより、分岐命令の実行前にアドレス空間幅の切替が行われた場合でも、予測分岐先アドレスで命令の先読みを行う際に、その分岐先アドレス生成時のアドレスモードを参照することができるので、アドレスモードの切替による誤ったアドレス空間での命令の先読みをなくすることができる。

【0062】この結果、予測分岐先命令の読み出し誤りによる処理性能の低下を防止することができる。

【図面の簡単な説明】

【図1】本発明の情報処理装置の命令先読み制御方式の一実施例である情報処理装置を示す全体構成図である。

【図2】本実施例の情報処理装置における連想メモリを示す構成図である。

【図3】本実施例の情報処理装置における命令ユニット

10

17 予測アドレスモードレジスタ

20 命令ユニット

21 命令バッファレジスタ

22 命令バッファレジスタ

23 アライナ

24 命令カウ

25 命令レジスタ

26 加算器

27 解読器

10 28 アドレス計算機

29 アドレッシング回略

30 比较器

3.1 アドレッシング回路

32 アドレスセレクト回路

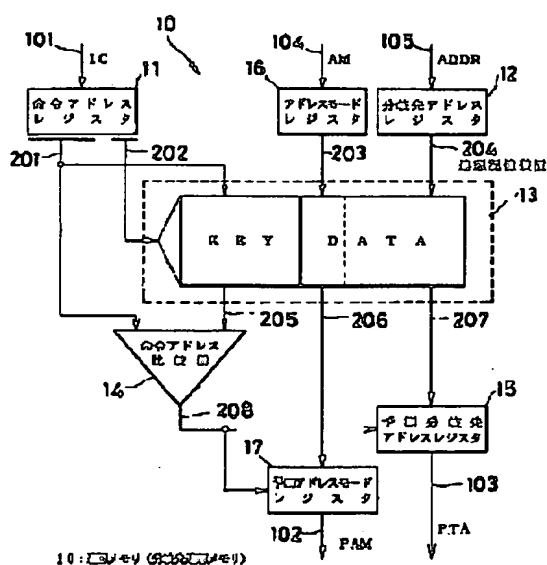
3.3 アドレスモード設定レジスタ (アドレスモード切 換手段)

40 演算ユニット

50 主メモリ

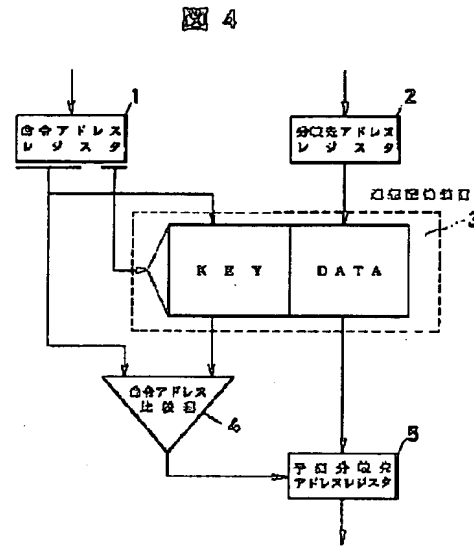
【图2】

圖 2



10: モリ (おもしろいモリ)

【图4】

 5